

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-074097

(43)Date of publication of application : 18.03.1997

(51)Int.Cl.

H01L 21/321

C23C 14/34

C23C 14/58

H01L 21/203

H01L 21/285

(21)Application number : 07-230406

(71)Applicant : SONY CORP

(22)Date of filing : 07.09.1995

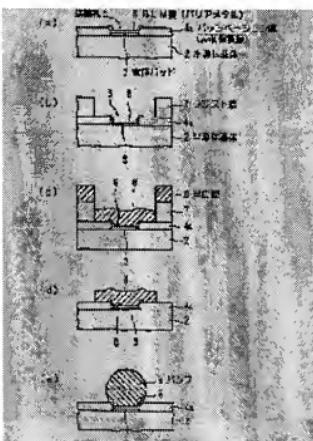
(72)Inventor : YANAGIDA TOSHIHARU

## (54) FORMATION OF BARRIER METAL

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To segregate an intermetallic compound in a barrier metal grain boundary to form barrier metal having such a good barrier effect as no generation of solder thermal diffusion, by subjecting a wafer to a sputtering process with use of a target containing different sorts of metals to form a film and then subjecting it to a patterning process.

**SOLUTION:** A wafer is placed in a sputtering apparatus, subjected to a film formation pretreatment based on RF plasma, and then subjected to a sputtering process with use of a Cu-Ti alloy target to form a barrier metal film (BLM film) 6. The wafer in this state is placed in a heat treatment apparatus to be subjected to an annealing process. This results in that CuTi compound is segregated in a grain boundary of a Cu layer of the barrier metal to increase a grain intensity. Thereafter, the wafer is subjected to film forming and patterning operations of solder with a high melting point, and then subjected to flux coating and heating processes in a wet-back step to form a ball-shaped bump 9 of solder. Thereby the barrier effect of the BLM film 6 can be improved.



## LEGAL STATUS

[Date of request for examination] 17.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-74097

(43)公開日 平成9年(1997)3月18日

(51) Int.Cl.*	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/321			H 01 L 21/92	6 0 4 Q
C 23 C 14/34			C 23 C 14/34	A
	14/58		14/58	A
H 01 L 21/203			H 01 L 21/203	S
21/285			21/285	S
	審査請求	未請求	簡易請求の数 3	O L (全 5 頁) 最終頁に続く

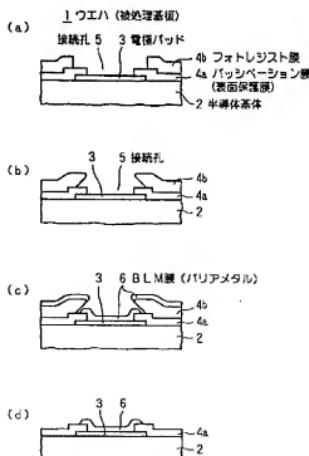
(21)出願番号	特願平7-230406	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成7年(1995)9月7日	(72)発明者	柳田 敏治 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内

## (54)【発明の名称】 バリアメタルの形成方法

## (57)【要約】

【課題】 半導体の熱抵抗を生じないバリア効果に優れたバリアメタルの形成方法を提供する。

【解決手段】 異種金属を含有したターゲットを用いてスパッタによって成膜し、成膜後にバターンニングし、その後100°C~400°C以下の温度で、且つ低酸素濃度雰囲気中でアニール処理し、バリアメタル6を形成する。



## 【特許請求の範囲】

【請求項1】 異種金属を含有したターゲットを用いてスパッタにより成膜し、前記成膜後にバーナーニングをすることを特徴とするバリアメタルの形成方法。

【請求項2】 前記バーナーニングの後に、100°C～400°C以下の温度で、且つ低酸素濃度の雰囲気下でアニール処理を行うことを特徴とする請求項1記載のバリアメタルの形成方法。

【請求項3】 前記ターゲットがSn、Ti、Al、Mg、Si、Pt、Pd、Sc、Cr、Ta、Cuから選ばれた少なくとも1種類の金属を不純物として含有し、Cu、Ni、Ti、W、Ag、Moから選ばれる少なくとも1種類の金属を基にする金属材料であることを特徴とする請求項1記載のバリアメタルの形成方法。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はバリアメタルの形成方法に関し、詳しくはフリップチップICのバンプの下地となるバリアメタルの形成方法に関する。

## 【0002】

【従来の技術】 電子機器の小型化をより一層進展させるためには、部品実装密度を如何に向上させるかが重要なポイントとなる。こと半導体ICに関しては、従来のパッケージ実装の代替えとして、フリップチップによる高密度実装技術の開発が盛んに行われている。フリップチップ実装法には、Auスタッダーバンプ法や半田ポールバンプ法等いくつかの手法があるが、いずれの場合も半導体ICの電極バッドとバンプ材料との間には、密着性向上や相互拡散防止等を目的にバリアメタルが使われる。

半田ポールバンプの場合、このバリアメタルがバンプの仕上がり形状を決定する役目をなす意味から、BLM(Ball Limiting Metal)とも呼ばれている。半田バンプに於けるBLM膜の構造としては、Cr、Cu、Auの三層構造が最も一般的である。このうち、下層のCr層は電極バッドとの密着層として、Cu膜は半田の拡散防止層として、上層のAu金属膜はCuの酸化防止膜としてそれぞれ作用する。

【0003】 このBLM膜をICのAl電極バッド上にバーナーニングした後、半田を成膜し、加熱して最終的にポール状のバンプを形成する。その工程の例を図1を参照して説明する。

【0004】 フリップチップICの接合部は、シリコン等の半導体基体2の上にA1等の電極バッド3をスパッタやエッチングを用いて形成し、ポリイミドやシリコン塗化膜等による表面保護膜4を全面に被覆した後、電極バッド3上に接続孔5を形成して、BLM膜6を形成する(図1(a)参照)。さらに、BLM膜6の上に、接続孔5を有するレジスト膜7を形成し(図1(b)参照)、その全面に半田膜8を成膜して(図1(c)参

照)、リフトオフによるバーナーニングを行った後(図1(d)参照)、加熱し半田を溶融して、最終的に図1(e)に示すような半田のポール状バンプ9を形成する。(ウェットバック工程と称される)。

【0005】 この際、最後のウェットバック工程の熱処理条件によっては、バンプの密着強度が低下してしまい、プリント配線基板へのチップ実装時にバンプがチップから欠落したり、A1電極との電気的コンタクト特性に不良が生じる等の問題が起きる。これらの問題は、主としてCu層の半田に対するバリア効果が充分に得られないことが原因であり、種々の熱処理によってCu中に半田が拡散してCu層を分離したり、下層のCr層にまで半田が達してしまうことで、A1電極バッドと半田バンプとの界面での密着力が大きく低下するために生じている。こうした背景から、半田の熱拡散に対するバリア効果に優れるBLM膜の成膜方法を確立することが必要となっている。

## 【0006】

【発明が解決しようとする課題】 そこで本発明の課題は、フリップチップIC等のポールバンプ形成の際のバリアメタル(BLM膜)の形成方法を改良し、半田の熱拡散を生じない等のバリア効果の良いバリアメタルの形成方法を提供することである。

## 【0007】

【課題を解決するための手段】 かかる課題を解決するために、請求項1の発明に係るバリアメタルの形成方法は、異種金属を含有したターゲットを用いてスパッタにより成膜し、成膜後にバーナーニングをする構成とし、バリアメタルの結晶粒界に金属間化合物を偏析させ、半田の熱拡散を防止する。

【0008】 請求項2の発明に係るバリアメタルの形成方法は、バーナーニングの後に、100°C～400°C以下の温度で、且つ低酸素濃度の雰囲気下でアニール処理を行うことを特徴とする請求項1記載のバリアメタルの形成方法の構成とし、バリアメタルの結晶粒界に金属間化合物を偏析させ、半田の熱拡散を防止する。

【0009】 請求項3の発明に係るバリアメタルの形成方法はターゲットがSn、Ti、Al、Mg、Si、Pt、Pd、Sc、Cr、Ta、Cuから選ばれた少なくとも1種類の金属を不純物として含有し、Cu、Ni、Ti、W、Ag、Moから選ばれる少なくとも1種類の金属を基にする金属材料であることを特徴とする請求項1記載のバリアメタルの形成方法の構成とし(但し、同種金属の組み合わせは除外する)、バリアメタルの結晶粒界に金属間化合物を偏析させ、半田の熱拡散を防止する。

## 【0010】

【実施例】 以下、図1ないし図3を参照して本発明のバリアメタルの形成方法について説明する。

## 50 【0011】 実施例1

本実施例は、半田のボール状バンプ形成プロセスにおけるBLM(Ball Limiting Metal)膜の形成方法に本発明を適用したものである。本実施例において、サンプルとして使用した被処理基板1(ウェハ)は、図2(a)に示す様に、半導体基体2のアルミニウム(A1)から成る電極バッド3上にポリイミドまたはシリコン密着膜等のバッシペイション層(表面保護膜)4aを形成し、所定の寸法に接続孔5が穿孔され、さらにその上層にフォトレジスト膜4bがバッシペイション膜4aよりも大きな開口径でバターニングされたものを準備した。

【0012】このウェハ1をスパッタ装置にセットし、高周波プラズマによる成膜前処理を行った後(図2(b)参照)、以下の条件でBLM膜を成膜した。

#### 1. Ti膜の成膜(A1との密着層形成)

DC電力: 4.0kW, Ar: 100sccm, 圧力: 0.7Pa, ウエハステージ: 室温, 厚さ: 0.1μm

#### 2. Cu-Tiの成膜(半田のバリアメタル形成)

Cu-3%Ti合金ターゲットを使用

DC電力: 6.0kW, Ar: 100sccm, 圧力: 0.7Pa, ウエハステージ: 室温, 厚さ: 1.0μm

#### 3. Au成膜(バリアメタルの酸化防止膜形成)

DC電力: 4.0kW, Ar: 100sccm, 圧力: 0.7Pa, ウエハステージ: 室温, 厚さ: 0.1μm

【0013】BLM成膜後の状態を図2(c)に示す。高周波プラズマによる成膜前処理によって、オーバーハング状に形状制御された下地レジストパターンの側壁面には、メタルが成膜されることなく、BLM膜6は電極バッド3上の接続孔5とフォトレジスト膜4b上で分断された。そして、この状態のウェハ1をレジスト剥離液に浸して加熱振動処理した結果、図2(d)に示す様に、フォトレジスト膜4b上に成膜された不要なBLM膜7は、レジスト剥離と同時にリフトオフされ、接続孔5の所定の場所へBLM膜6のパターンが形成された。

【0014】次に、この状態のウェハを加熱処理装置にセットし、以下の条件でアニール処理した。  
条件: 空素雰囲気、酸素濃度50ppm以下、温度300°C、時間30分

この結果、バリアメタルのCu層の結晶粒界にはCu-Ti化合物が偏析し、粒界強度が増加した。

【0015】この後、高融点半田(Pb:Sn=97:3)の成膜とパターンニングを行い(図1(a)~(d)参照)、ウェットパック工程でフラックス塗布と加熱処理を行った結果、図1(e)に示す様に半田のボール状バンプ9が形成できた。

【0016】この様にしてバンプが形成されたICチップを印刷配線基板上にフリップチップ実装した製品は、過酷な条件下で熱サイクル試験を施した場合でも、BLM膜の半田に対するバリア効果が向上した結果、半田バンプとA1電極バッドとのコンタクト界面での電気特性

や密着度の劣化を招くことがなくなり、製品の信頼性及び耐久性が大幅に改善された。

【0017】尚、図3に示すスパッタ装置は良く知られた平行平板型の高周波プラズマ装置であるが、その構成と動作について簡単に説明する。まず基板ステージ11上には、被処理基板12が載置され、所定間隔をおいて陽極板13が配置され、これらは密閉室14内に置かれる。密閉室14内にはArガスが供給される。そして、基板ステージ11には結合コンデンサ15を通じて、高周波電源16が接続される。一方、陽極板13は接地される。

【0018】この構成によって、基板ステージ11と陽極板13の間にプラズマが発生され基板ステージ11上に載置された被処理基板12を前処理できる。

#### 【0019】実施例2

本実施例は、同じく半田のボール状バンプ形成プロセスにおけるBLM膜の形成に本発明を適用した他の例であり、図2を参考しながら説明する。本実施例においてサンプルとして使用したウェハは、前述の実施例で用いたものと同じである(図2(a)参照)。このウェハ1をスパッタ装置にセットし、高周波プラズマによる成膜前処理を行った後(図2(b)参照)、以下の条件でBLM膜を成膜した。

#### 【0020】条件

##### 1. Cr成膜(A1との密着層形成)

DC電力: 4.0kW, Ar: 100sccm, 圧力: 0.7Pa, ウエハステージ: 室温, 厚さ: 0.1μm

##### 2. Cu-Snの成膜(半田のバリアメタル形成)

Cu-3%Sn合金ターゲットを使用

DC電力: 6.0kW, Ar: 100sccm, 圧力: 0.7Pa, ウエハステージ: 室温, 厚さ: 1.0μm

##### 3. Au成膜(バリアメタルの酸化防止膜形成)

DC電力: 4.0kW, Ar: 100sccm, 圧力: 0.7Pa, ウエハステージ: 室温, 厚さ: 0.1μm

【0021】次に、実施例1と同様にしてリフトオフによるBLM膜のパターンニングを行い、以下の条件でアニール処理した。

条件: 空素雰囲気、酸素濃度50ppm以下、温度300°C、時間30分

この結果、バリアメタルのCu層の結晶粒界にはCu-Sn化合物が偏析し、粒界強度が増加した。この後、高融点半田のパターンニングとウェットパック処理を行った結果、実施例1と同様に図1(e)に示すごとく、半田のボール状バンプが形成された。最終的に金属膜(BLM膜)の良好なパターン形成を実現できた。

【0022】本実施例を用いて、バンプを形成したICチップを印刷配線基板上にフリップチップ実装した製品についても、BLM膜の半田に対するバリア効果が向上した結果、過酷な熱サイクル試験を施した場合の半田バンプとA1電極バッドとのコンタクト界面での電気特性

や密着強度の劣化が抑制され、製品の信頼性および耐久性が大幅に改善された。さらに、本実施例の場合、アニール処理によってバリアメタルの結晶粒界にCu-Sn化合物が均一に析出するため、バリアメタルのCuと半田中のSnとの相互拡散速度の違いに起因して從来類繁に生じていたバリアメタル中のボイド不良（カーケンダル効果）の発生も完全に抑制されるようになった。

【0023】以上、本発明を2種類の実施例に基づいて説明したが、本発明はこれらの実施例に何ら限定されるものではない。例えば、バリアメタルを形成する合金ターゲットとして本実施例では、Cu-Ti合金、Cu-Sn合金を用いた例を示したが、これ以外にもCu-Ni合金、Cu-Pt合金、Cu-Pt合金、Cu-Al合金、Ni-Al合金、Ni-Pt合金、Ni-Pd合金、Ni-Cu合金、Ti-W、W-Mg、Ag-Si、Mo-Si、Cu-Ta、Cu-Si合金を用いることができる。

【0024】また本実施例ではバリアメタルのパターン形成方法として、フォトレジストのリフトオフを用いた例を示したが、それ以外のエッチング方法等を用いた製法への適用も可能である。さらに、本実施例ではバリアメタルのパターン形成方法として、真空蒸着による成膜とフォトレジストのリフトオフを用いて説明したが、それ以外の電解メッキ等を用いた製法への適用も可能である。それ以外にも、サンプル構造、メタル成膜条件、アニール条件等発明の主旨を逸脱しない範囲で適宜選択可能であることは言うまでもない。

#### 【0025】

【発明の効果】本発明の採用により、バリアメタルのCuやNiの結晶粒界が強化され、半田の熱拡散を効果的に防止できる。これにより、バンプが形成されたICチップを印刷配線基板上にリップルチップ実装して組立てられた製品の信頼性や耐久性を大幅に向かうことができる。したがって、本発明によれば、更に微細化の進んだデザインルールに基づいて設計され、高集積度、高性能、高信頼性が要求される半導体装置の製造に衝て有\*

\* 効である。

#### 【図面の簡単な説明】

【図1】半田のポール状バンプの製造工程におけるウエハの側断面図であり、(a)は電極パッド上にBLM膜が成膜された状態、(b)はレジスト膜が形成された状態、(c)はウエハ全面に半田膜が成膜された状態、(d)は不要な半田膜が除去された状態、(e)はウェットバック工程によって半田のポール状バンプが形成された状態を示す。

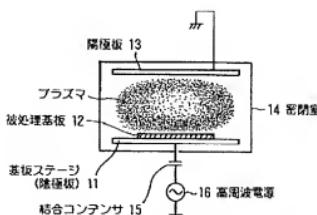
【図2】BLM膜が形成されるまでの各工程におけるウエハの側断面図であり、(a)はフォトレジスト膜が形成された状態、(b)は高周波プラズマによる成膜前処理によって、フォトレジストバーンの開口端がオーバーハング状に変化した状態、(c)はウエハ全面にBLM膜が成膜された状態、(d)はBLM膜のバーンニングが終了した状態を示す。

【図3】成膜前処理に用いる平行平板型プラズマ処理装置の概略の原理図である。

#### 【符号の説明】

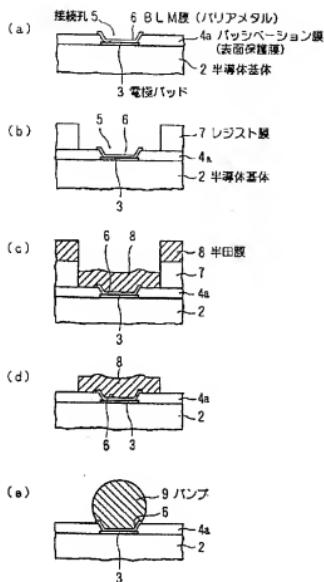
1	ウエハ（被処理基板）
2	半導体基体
3	電極パッド
4 a	バシシベーション膜（表面保護膜）
4 b	フォトレジスト膜
5	接続孔
6	バリアメタル（BLM膜）
7	レジスト膜
8	半田膜
9	バンプ
10	平行平板型高周波プラズマ装置
11	基板ステージ（陰極板）
12	被処理基板
13	陽極板
14	密閉室
15	結合コンデンサ
16	高周波電源

【図3】

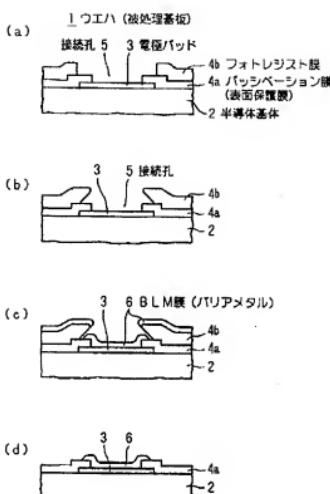


10 平行平板型高周波プラズマ処理装置

【図1】



【図2】



フロントページの続き

(51)Int.Cl.\*

識別記号 庁内整理番号

F I  
H01L 21/92

技術表示箇所

604N